

# PATENT ABSTRACTS OF JAPAN

(11)Publication number : 03-030357  
(43)Date of publication of application : 08.02.1991

(51)Int.Cl. H01L 21/78

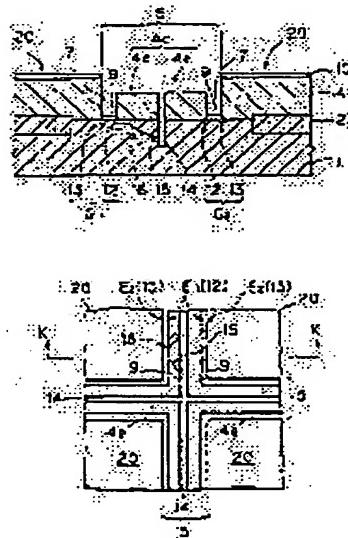
(21)Application number : 01-164720 (71)Applicant : MITSUBISHI ELECTRIC CORP  
(22)Date of filing : 27.06.1989 (72)Inventor : MORI MASATAKA

**(54) SEMICONDUCTOR CHIP AND MANUFACTURE THEREOF**

**(57)Abstract:**

**PURPOSE:** To prevent cracking reaching the inside of an electronic device region on cutting-division by providing the electronic device region including at least one electronic device and being formed to a section surrounded by at least one recessed trench in one main surface of a semiconductor substrate.

**CONSTITUTION:** Semiconductor substrates 1, in which at least one recessed trenches 12 are shaped along peripheral sections on one main surface, and electronic device regions 20 including at least one electronic devices and being formed to sections surrounded by at least one recessed trenches 12 in one main surface of the semiconductor substrate 1 are provided as semiconductor chips acquired by cutting and dividing a semiconductor wafer containing the array of the electronic device regions. Consequently, when the semiconductor is cut and divided and the semiconductor chips are obtained, cracks run toward the recessed trenches 12 even when the cracks are generated from cutting sections 14. Accordingly, possibility in which the cracks reach the inside of the electronic device regions 20 can be reduced.



## **LEGAL STATUS**

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision  
of rejection]

[Date of requesting appeal against examiner's

文庫(2)

⑩日本国特許庁(JP)

⑪特許出願公開

⑫公開特許公報(A) 平3-30357

⑬Int.Cl.<sup>6</sup>  
H 01 L 21/78

識別記号  
L

府内整理番号  
6824-5F

⑭公開 平成3年(1991)2月8日

審査請求・未請求 請求項の数 3 (全11頁)

⑮発明の名称 半導体チップおよびその製造方法

⑯特 願 平1-164720

⑰出 願 平1(1989)6月27日

⑱発明者 森 昌 隆 福岡県福岡市西区今宿東1丁目1番1号 三菱電機株式会社福岡製作所内  
⑲出願人 三菱電機株式会社 東京都千代田区丸の内2丁目2番3号  
⑳代理人 弁理士 大岩 増雄 外2名

明細書

1. 発明の名称

半導体チップおよびその製造方法

2. 特許請求の範囲

(1) 電子素子領域の配列を含んだ半導体ウエハを切分けて得られた半導体チップであって、

(a) 少なくともひとつの凹溝が一主面上の周縁部分に沿って形成された半導体基板と、

(b) 少なくともひとつの電子素子を含み、前記半導体基板の前記一主面のうち前記少なくともひとつの凹溝によって取囲まれた部分に形成された電子素子領域とを備える半導体チップ。

(2) 電子素子領域の配列を含んだ半導体ウエハを切分けて複数の半導体チップを製造する方法であって、

(a) それぞれが少なくともひとつの電子素子を含んだ複数の電子素子領域を、所定の幅を有する分離帯によって互いに空間的に分離しつつ前記半導体ウエハの一主面上に形成し、それによって前記一主面上に前記複数の電子素子領域の配列を

得る工程と、

(b) 前記分離帯の中に、前記分離帯の長手方向に沿ってN本(N≥2)の凹溝を平行に形成し、それによって(N-1)本の配列間隔スペースと交互に前記N本の第1の凹溝が配列した凹溝平行配列を得る工程と、

(c) 前記(N-1)本の配列間隔スペースのうちのひとつを通り、かつ前記分離帯の長手方向に沿って伸びる切断線に沿って前記半導体ウエハを切分け、それによって、それぞれが電子素子領域を有する複数の半導体チップを得る工程とを備える、半導体チップの製造方法。

(3) 請求項2の製造方法において、

前記工程(a)が、

(a-1) それぞれが少なくともひとつの電子素子を含んだ複数の活性領域の配列を前記一主面上に形成する工程と、

(a-2) 前記複数の活性領域のそれぞれの上に第Iの絶縁層を設けることにより複数の第Iの絶縁層を得る工程とを含み、

工程(b)が、

(b-1) 前記分離帯の中央部に、前記分離帯の前記長手方向に沿って伸びる帯状の第2の絶縁層を形成する工程と、

(b-2) 前記分離帯のうち、互いに隣接する2つの第1の絶縁層と前記第2の絶縁層との間に存在する一対のエリアの上に、前記第1と第2の絶縁層のうち少なくとも前記第2の絶縁層に対してそれぞれギャップを隔てて、前記長手方向に伸びる帯状の第1と第2の耐エッティング層をそれぞれ形成する工程と、

(b-3) 前記第1と第2の耐エッティング層をマスクとして用いつつ、前記ギャップを介して前記半導体ウエハを選択的にエッティングし、それによって、前記半導体ウエハのうち前記ギャップの下に存在する各部分に帯状の空洞をそれぞれ形成して複数の空洞を得る工程とを含み、

前記N本の凹溝は前記複数の空洞として得られるとともに、

前記切断線は前記第2の絶縁層の上に設定され

の活性領域2を覆うシリコン酸化膜4を有している。なお、この明細書における「活性領域」とは、電子素子の動作に関与する構造を総称する用語であつて、pn接合構造のほか、MOS構造などの種々の構造を含んでいてもよい。そして、図面中では、それらの細部を区別せずに活性領域2として示してある。

各シリコン酸化膜4の上面には、バッジーション膜としてシリコン酸化膜10が形成されている。そして、互いに隣接するシリコン酸化膜4の間に、電子素子領域20を相互に分離するとともに、ダイシングのための空間を規定するための分離帯すなわちダイシングライン（ストリートライン）5が設けられている。

この半導体ウエハのダイシング工程では、この工程における半導体ウエハの部分平面図である第7B図とその6B-6B断面図である第6B図に示すように、ダイシングライン5に沿って半導体基板1に切断溝14を形成する。そして、この切断溝14を境界として各電子素子領域20を相互

ることを特徴する、半導体チップの製造方法。

### 3. 発明の詳細な説明

#### 【産業上の利用分野】

この発明は半導体チップとその製造方法に関するもので、特に、半導体ウエハをダイシング工程によって切分けて複数の半導体チップを得る際に、各半導体チップ上の電子素子領域の内部に達するような割れが半導体チップ内に生じないようにするための改良に関する。

#### 【従来の技術】

半導体装置の製造技術において周知のように、電子素子領域の配列が形成された半導体ウエハをダイシングによって切分けることにより、それぞれが電子素子領域を有する複数の半導体チップが得られる。第6A図は、半導体基板1の一面上に電子素子領域20の配列が形成された状態での半導体ウエハの部分断面図であり、この半導体ウエハの部分平面図である第7A図の6A-5A断面図に相当する。各電子素子領域20は、少なくともひとつの電子素子を含んだ活性領域2と、こ

に引離し、それによって半導体ウエハを複数の半導体チップへと分離する。

#### 【発明が解決しようとする課題】

ところで、このようなダイシング工程において、回転ブレードやダイアモンドスクライバを用いる機械的ダイシング法と、レーザスクライバなどを用いる非機械的ダイシング法とが知られている。このうち、特に機械的ダイシング法を用いた場合には、機械的振動や切削応力が半導体ウエハに加わるため、切断溝14から電子素子領域20へと伸びる割れ50が、半導体基板1に発生することがある。そして、この割れ50が活性領域2に達する場合には、ダイシングによって得られた半導体チップは不良品となる場合がある。その結果、ダイシング工程における歩留まりを向上させることが困難となって、半導体チップ、ひいてはそれを搭載して得られる半導体装置のコストアップにもつながるという問題がある。また、割れによって半導体装置の信頼性が低下してしまうという問題もある。

この発明は従来技術における上述の問題の克服を意図しており、半導体ウエハを切分けることによって製造される半導体チップであって、その切分け時に電子素子領域の内部に達する割れを防止可能で、歩留まりや信頼性が高い半導体チップを提供することを第1の目的とする。

また、第2の目的は、半導体ウエハの切分け時に電子素子領域の内部に達する割れを防止することができるような半導体チップの製造方法を提供することである。

さらに、第3の目的は、上記第2の目的を達成するにあたって、新たな問題を生じさせることなく、製造プロセスがあまり複雑化しない方法を提供することである。

#### [課題を解決するための手段]

上述の第1の目的を達成するため、この発明の第1の構成においては、電子素子領域の配列を含んだ半導体ウエハを切分けて得られた半導体チップとして、(a) 少なくともひとつの凹溝が一主面上の周縁部分に沿って形成された半導体基板と、

それによって、それが電子素子領域を有する複数の半導体チップを得る工程とを備える方法を提供する。

さらに、第3の目的に対応する第3の構成では、上記第2の方法による製造方法において、まず、前記工程(a)が、(a-1) それが少なくともひとつの電子素子を含んだ複数の活性領域の配列を前記一主面上に形成する工程と、(a-2) 前記複数の活性領域のそれぞれの上に第1の絶縁層を設けることにより複数の第1の絶縁層を得る工程とを含むようとする。

また、工程(b)が、(b-1) 前記分離帯の中央部に、前記分離帯の前記長手方向に沿って伸びる帶状の第2の絶縁層を形成する工程と、(b-2) 前記分離帯のうち、互いに隣接する2つの第1の絶縁層と前記第2の絶縁層との間に存在する一対のエリアの上に、前記第1と第2の絶縁層のうち少なくとも前記第2の絶縁層に対してそれぞれギャップを隔てて、前記長手方向に伸びる帶状の第1と第2の耐エッチング層をそれぞれ形成する工程と、

(b) 少なくともひとつの電子素子を含み、前記半導体基板の前記一主面のうち前記少なくともひとつの凹溝によって取囲まれた部分に形成された電子素子領域とを備える半導体チップを提供する。

また、第2の目的を達成するため、この発明の第2の構成では、電子素子領域の配列を含んだ半導体ウエハを切分けて複数の半導体チップを製造するにあたって、(a) それが少なくともひとつの電子素子を含んだ複数の電子素子領域を、所定の幅を有する分離帯によって互いに空間的に分離しつつ前記半導体ウエハの一主面上に形成し、それによって前記一主面上に前記複数の電子素子領域の配列を得る工程と、(b) 前記分離帯の中に、前記分離帯の長手方向に沿ってN本(N≥2)の凹溝を平行に形成し、それによって(N-1)本の配列間隔スペースと交互に前記N本の第1の凹溝が配列した凹溝平行配列を得る工程と、(c) 前記(N-1)本の配列間隔スペースのうちのひとつを通り、かつ前記分離帯の長手方向に沿って伸びる切断線に沿って前記半導体ウエハを切分け、

(b-3) 前記第1と第2の耐エッチング層をマスクとして用いつつ、前記ギャップを介して前記半導体ウエハを選択的にエッチングし、それによって、前記半導体ウエハのうち前記ギャップの下に存在する各部分に帯状の空洞をそれぞれ形成して複数の空洞を得る工程とを含むようとする。これによって、前記N本の凹溝は前記複数の空洞として得られる。また、前記切断線は前記第2の絶縁層の上に設定される。

#### [作用]

第1の構成による半導体チップにおいては、半導体ウエハを切分けてこの半導体チップを得る際に切断部位から割れが生じたとしても、この割れは凹溝に向って走るため、電子素子領域の内部にまで割れが達する可能性を低減できる。

また、第2の構成による製造方法では、電子素子領域の分離帯中に複数の凹溝を形成し、それらの間の位置で半導体ウエハを切分けるため、分離帯をはさんで互いに隣接する電子素子領域のいずれにおいても、割れを凹溝の位置で止めることが

できる。

さらに、第3の構成では、分離帯の中に設けた耐エッチング層をマスクとして用いつつ半導体ウエハのエッチングを行い、それによって得られた空洞を上記凹溝として用いるため、分離帯の中での凹溝の位置決めが容易であり、複雑なプロセスを要しない。また、切断線は第2の绝缘層の上に設定されるため、切り分けによって耐エッチング層が飛散って半導体チップ上を汚染するなどの新たな問題は生じない。

#### (実施例)

第1A図～第1J図は、この発明の一実施例による半導体チップの製造方法を、主要な製造段階における断面図として示す図である。まず、第1A図に示すように、ウエハ状態のシリコン基板1を準備する。そして、第1B図に示すように、シリコン基板1の一面上に、活性領域2の配列を形成する。この活性領域2のそれぞれの中には少なくともひとつの電子素子が形成されているか、既述した第6A図と同様に、活性領域2の内部情

成は省略して描かれている。また、第1B図中には示されていないが、活性領域2はシリコン基板1上においてマトリクス状に配列されている。そして、互いに隣接する活性領域2の間には、それらを互いに分離するエリア3が設けられている。次の製造工程を示す第1C図において、各活性領域1を個別に置うように、シリコン酸化膜4aが形成される。シリコン酸化膜4aの厚さは、たとえば3000～3500Åである。活性領域2のそれぞれが電子素子領域20のひとつずつに割当てられることにより、シリコン酸化膜4aのそれぞれの広がりが、電子素子領域20のそれぞれの広がりを規定する。また、互いに隣接する電子素子領域20の間には、所定の幅を有する分離帯5が存在している。

第2A図は、第1C図に対応する平面図であって、第2A図のC-C断面が第1C図で表現されている。電子素子領域20がマトリクス状に配列していることに対応して、分離帯5はラティス状に配列している。分離帯5は後のダイシング工程

においてダイシングラインとなる領域である。

そして、その後に、シリコン基板1の上面の全域にわたって、シリコン膜4b(第1D図)をCVD法によって堆積させる。このシリコン酸化膜4bの厚さは、たとえば4000～4500Åである。次に、写真製版法を用いてシリコン酸化膜4bを選択的に取除き、第1E図に示すように、分離帯5の中央部のシリコン酸化膜4dと、電子素子領域20上のシリコン酸化膜4cとを残す。シリコン酸化膜4aと4cとは同一の材料で形成されているため、これらは全体として、厚さ7000～9000Åのシリコン酸化膜4となる。したがって、後述する第1F図～第1J図および第3A図、第3B図では、シリコン酸化膜4a、4cの境界線は示されていない。分離帯5の中央部に残ったシリコン酸化膜4dの厚さDは、4000～4500Åである。

第1E図に対応する平面図が第2B図に示されており、第2B図のE-E断面が第1E図で表現されている。酸化シリコン膜4dは分離帯5の中央部のみに形成されて分離帯5の長手方向に沿っ

て伸びているため、第1E図からわかるように、酸化シリコン膜4dと4との間にはギャップスペース7が存在する。

次の工程(第1F図)では、シリコン基板1上面の全域にわたって、スパッタリング法により白金膜8を形成する。この白金膜8の形成は、電子素子領域20における配線工程との関連で行ってもよい。そして、第1F図の状態となっているウエハを加熱炉に入れ、所定の時間だけこのウエハを加熱して白金シンターを行う。すると、第1G図に示すように、白金膜8のうちギャップスペース7の底面エリアに存在する部分が、シリコン基板1から拡散してきたシリコン原子を受入れて、白金シリサイド膜9となる。白金膜8の残りの部分はシリコン酸化膜4dまたは4と接触しており、白金と酸化シリコンとは熱反応しないため、これらの部分は白金のままである。また、白金シリサイド膜9の両側面9aには白金の薄い層(第1G図には図示せず。)が残る。それは、この両側面9aがシリコン基板1に接触しておらず、シリコ

ンと白金との反応が実質的に生じないためである。

次に、第1G図の状態のウエハを王水に浸漬させ、それによって白金膜8を取除く。さらに、電子素子領域20上にアルミ配線(図示せず)などを設ける。これらの工程を経たウエハの断面が第1H図に、また、その部分拡大図が第3A図に示されている。第1H図において、分離帯なわちダイシングライン5の幅Wは約60μm、シリコン酸化膜4dの幅W<sub>0</sub>は約50μm、そして、ギャップスペース7の幅W<sub>1</sub>は約5μmである。また、白金シリサイド膜9の両側面9a(第3A図)とシリコン酸化膜4d、4との間の白金は王水によって除去されるため、白金シリサイド膜9とシリコン酸化膜4d、4との間にギャップ7a、7bが形成される。そして、このギャップ7a、7b底面は、シリコン基板1の露出面1a、1bとなっている。

次の工程(第1I図)では、シリコン基板1の上面の全域にわたって、バッシベーション膜としての窒化シリコン膜10を、プラズマCVD法を

用いて形成する。そして、窒化シリコン膜10のうち、シリコン酸化膜4の上に存在する部分を覆うように、レジスト膜11を形成する。次に、CF<sub>4</sub>-O<sub>2</sub>系ガスを用いたプラズマエッティングにより、窒化シリコン膜10を選択的に除去する。

この除去処理におけるエッティング時間を、窒化シリコン膜10のうちレジスト膜11に覆われていない部分が完全に除去されるための時間よりも、約10%(たとえば30秒から1分程度)長い時間に設定する。すると、プラズマ状態のガスがギャップ7a、7b(第3A図)を通過してシリコン基板1の露出面1a、1bに到達し、この露出面1a、1bの下部に存在するシリコン基板1の部分がエッティングされる。その結果、第1J図および第3B図に示すように、ギャップ7a、7bの下に空洞12、13が形成される。この空洞12、13の形成において、白金シリサイド膜9はマスクとして機能する。空洞12、13のそれぞれの深さH(第3B図)は、約1μmが望ましい。

一方、エッティング時のアンダーカットによって、空洞12、13は横方向にも伸びる。その結果、空洞12、13の断面形状は円弧または梢円弧に近い形状となり、深さHを深くとろうとすると、空洞12、13の横方向のサイズも増加する。これら2つの空洞12、13が互いに連通してしまわないためには、空洞12、13の横方向(つまり、シリコン基板1の主面に平行な方向)の幅の1/2に相当する長さd<sub>1</sub>が、白金シリサイド膜9の横方向の幅の1/2に相当する長さd<sub>2</sub>よりも小さいことが必要である。白金シリサイド膜9の横方向の幅W<sub>1</sub>(第1H図)が約5μmであるときには、長さd<sub>1</sub>が約2.5μm以下となるようエッティング時間を定める。深さHに対する上述の数値例すなわち1μmは、この条件を満足しつつ、後のダイシング工程での割れのコントロール能力を十分に發揮し得る空洞12、13を与える。

第3B図からわかるように、空洞12、13は閉鎖空洞ではなく、ギャップスペース7a、7bへ連通する開口を持った凹溝と見なすことができ

る。第1J図に対応した平面図である第2C図では、空洞12、13は描かれていないが、その部分拡大図である第2D図には、白金シリサイド膜9の両エッジE<sub>1</sub>、E<sub>2</sub>を積線とする空洞12、13が破線によって示されている。ただし、第2C図のJ-J断面が第1J図に相当する。

第2D図からわかるように、互いに隣接する2つの電子素子領域20の間には、2つの空洞12と2つの空洞13との、合計4つの空洞が存在する。すなわち、互いに隣接する2つの電子素子領域20の間に存在する空洞(凹溝)の数をNとしたとき、この実施例ではN=4となっている。また、空洞12、13の各々は、電子素子領域20を閉じるように伸びている。

第1K図はダイシング工程を示している。シリコン酸化膜4dの上面中心部に、分離溝5の長手方向(つまり第1K図の紙面に垂直な方向)に伸びる切断線(図示せず)が設定され、この切断線に沿って切断溝14が形成される。切断溝14は、たとえばシリコン基板1の厚さの約半分に相当す

る深さを有し、ブレードスクライバを用いて形成される。この切削溝14の形成を通じて、シリコン酸化膜4dは一対のシリコン酸化膜4eへと分離される。このダイシング工程において、切削溝14から伸びる割れ15が、シリコン基板1に発生することがある。しかしながら、ほとんどの場合、この割れ15は空洞12に向かって伸びて、この空洞12で止まる。その結果、割れが電子素子領域20の内部、とくに活性領域2に及ぶことはほとんどない。割れを空洞12において止めることができない場合でも、第1K図中に仮想線の割れ16で示すように、この割れは他方の空洞13において止めることができる。

空洞12、13のうち、切削溝14により近い側に位置する空洞12が特に重要である。それは、空洞12は活性領域2から比較的遠い位置にあるため、割れを活性領域2から遠い位置で止めることができるからである。

互いに隣接する2つの電子素子領域20の間には、合計4本の空洞12、13が存在する。そし

子素子領域側の $N_2$ 本の空洞とに分離される。

この発明の原理を満足するための基本条件は

$$N \geq 2, N_1 \geq 1, N_2 \geq 1 \quad \dots (2)$$

であり、宜ましくは、

$$N \geq 4, N_1 \geq 2, N_2 \geq 2 \quad \dots (3)$$

が満足されるように、 $N, N_1, N_2$ を決定する。第1K図に示す実施例においては、

$$N = 4, N_1 = N_2 = 2 \quad \dots (4)$$

となっている。

第1K図に対応する平面図が第2E図に示されているが、第2E図では空洞12、13は白金シリサイド膜9の両エッジ $E'_1, E'_2$ の位置付近に存在することのみが示されており、空洞12、13の詳細は示されていない。第2E図のK-K断面が第1K図に相当する。

第1K図および第2E図で示される状態となつたウエハが、第4図にウエハ40として示されている。ウエハ40はその裏面がビニールシート41に貼付けられ、ビニールシート41は、第4図に矢印で示すように放射状に引張られる。それに

て、これら4本の空洞は、3つの配列間隔スペース、すなわち、第1K図の左側に存在する空洞12、13の間の第1のスペース、2つの空洞12の間の第2のスペース、そして、第1K図の右側に存在する空洞12、13の間の第3のスペースと、交互に配列している。切削線14がこれらの3つの配列間隔スペースのうちのひとつ、すなわち第2のスペース中に設定されているため、切削線14は、4本の空洞12、13を第1K図の左側に存在する第1の空洞グループ $G_1$ と、第1K図の右側に存在する第2の空洞グループ $G_2$ とに分離する境界線となっている。一般に、 $N$ を2以上の整数として、 $N$ 本の空洞(凹溝)は( $N-1$ )個の配列間隔スペースと交互に配列するよう形成され、これらの配列間隔スペースのうちのひとつの中に切削溝が形成される。その結果、 $N_1, N_2$ を、

$$N_1 + N_2 = N \quad \dots (1)$$

を満足する正整数としたとき、 $N$ 本の空洞は、一方の電子素子領域側の $N_1$ 本の空洞と、他方の電

子素子領域側の $N_2$ 本の空洞とに分離される。よって、ビニールシート41は放射状外向きに伸長し、ウエハ40は切削溝14のそれぞれにおいて半導体チップ30へと分離する(ブレークエキスバンド工程)。

第2F図は、このブレークエキスバンド工程におけるウエハの部分平面図であり、そのL-L断面図が第1L図に示されている。ブレーク面42(第1L図)は切削溝14の下面から伸びてシリコン基板1の裏面にまで達し、それによって、電子素子領域20を含んだ半導体チップ30が複数個得られる。割れ15または16が生じていたとしても、この割れ15、16は活性領域2へ達していないため、これらの半導体チップ30を不良品として廃棄する必要はない。その結果、半導体チップ30の製造における歩留まりや、半導体チップ30の電気的特性における信頼性が向上する。

また、切削線14は、白金シリサイド膜9の中ではなく、シリコン酸化膜4dの中に設けられるため、ダイシング工程において白金シリサイドの切削競合が半導体チップ30に付着し、半導体チ

チップ30の電気的特性に影響を与えることはない。シリコン酸化膜4dの切削膜は電気的绝缘物であるため、仮にそれが半導体チップ30に付着してもその電気的特性に対する影響はほとんどない。

このようにして得られた半導体チップ30は、ボンディング工程やパッケージング工程などに送られ、半導体装置として完成する。第5図はボンディング工程における半導体チップ30の平面図である。電子素子領域20の端部に所要数のボンディングパッド34が設けられ、このボンディングパッド34に外部配線35が接続されている。第5図では、ボンディングパッド34および外部配線35の一部分のみが示されている。また、第5図の3B-3B断面は、実質的に第3B図に対応する。

第5図の半導体チップ30の構造は次のように表現することができる。すなわち、まず、半導体チップ30の周縁部33上にはシリコン酸化膜4dからなる矩形の絶縁リング32が存在する。また、その内側には、白金シリサイド膜9からなる

なお、この発明は、たとえば以下のような変形を加えて実施することも可能である。

白金シリサイド膜9を設ける目的は、これをマスクとして用いつつ空洞（凹溝）12、13を形成することである。このため、一般には、白金シリサイド膜9は他の種類の耐エッチング層であってもよい。たとえば、白金膜8のかわりに、タンクステンやモリブデンなどを用いるときには、白金シリサイド膜9のかわりにタンクステンシリサイド膜やモリブデンシリサイド膜が得られる。

この発明は電子素子領域20の内部構造を制限するものではないから、個別半導体素子と集積回路との双方に適用可能である。

#### (発明の効果)

以上説明したように、この発明の第1の構成によれば、電子素子領域を取囲む凹溝を半導体チップに形成しておくことにより、ウエハを切分けてこの半導体チップを得る際の割れが電子素子領域の内部に侵入することを防止できる。このため、半導体チップの歩留まりと信頼性とが向上する。

矩形の金属／半導体複合材料リング31が存在する。金属／半導体複合材料リング31の両エッジE<sub>1</sub>、E<sub>2</sub>に対応する位置には、シリコン基板1中に、空洞12、13が存在する（第5図においてもまた、空洞12、13の詳細は示されていない。）そして、これらの絶縁リング32、複合材料リング31および空洞12、13によって取囲まれている半導体基板1の中央部には電子素子領域20が存在する。

そして、空洞12、13が周縁部33に設けられていることにより、この半導体チップ30をウエハの切分けによって製造する場合において、割れが電子素子領域20の内部に侵入することを防止できる。このため、第5図の半導体チップ30は、その製造を高い歩留まりで行うことができるとともに、信頼性も高い好みのチップとなっている。空洞12、13を形成するための工程は電子素子領域20を構成するための工程との関連で行うことができるため、半導体装置製造のための全工程の数をあまり増加させる必要もない。

また、第2の構成による製造方法では、電子素子領域の分離帯中に複数の凹溝を形成し、それらの間の位置で半導体ウエハを切分けるため、分離溝をはさんで互いに隣接する電子素子領域のいずれにおいても、割れを凹溝の位置で止めることができる。このため、この方法によって製造される半導体チップの信頼性と歩留まりとが向上する。

さらに、第3の構成では、分離帯の中に設けた耐エッチング層をマスクとして用いつつ半導体ウエハのエッチングを行い、それによって得られた空洞を上記凹溝として用いるため、分離帯の中での凹溝の位置決めが容易であり、複雑なプロセスを要しない。また、切断線は第2の絶縁層の上に設定されるため、切り分けによって耐エッチング層が飛散って半導体チップ上を汚染するなどの新たな問題は生じないという効果もある。

#### 4. 図面の簡単な説明

第1A図から第1L図はこの発明の一実施例を示す断面図、第2A図から第2F図は実施例中の各工程における部分平面図、第3A図および第3

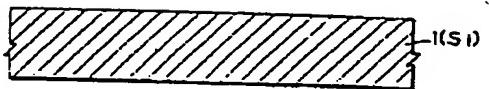
3図はそれぞれ第1H図および第1J図に示す状態の部分拡大図、第4図はブレークエキスバンド工程の説明図、第5図は実施例の半導体チップの平面図、第6A図および第6B図は従来方法を示す断面図、第7A図および第7B図はそれぞれ第6A図および第6B図に対応する部分平面図である。

図において、1はシリコン基板、2は活性領域、4、4a～4eはシリコン酸化膜、5は分離帯(ダイシングライン)、8は白金膜、9は白金シリサイド膜(耐エッチング層)、12、13は空洞(凹溝)、20は電子累子領域、30は半導体チップである。

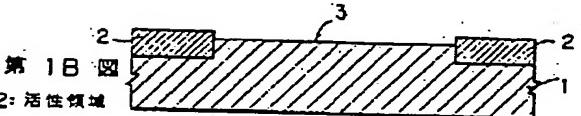
なお、各図中同一符号は同一または相当部分を示す。

代理人 大岩 増雄

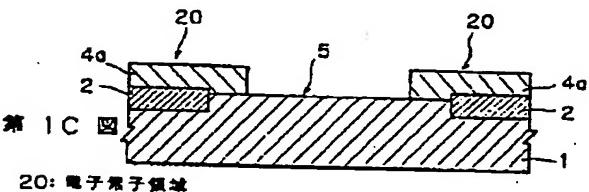
第1A図



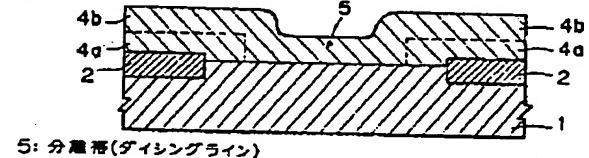
第1B図



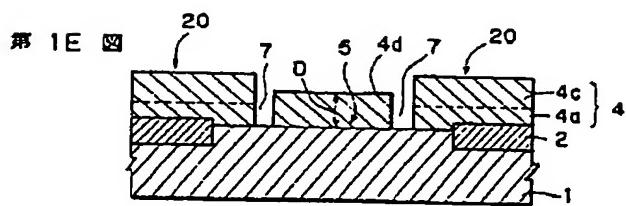
第1C図



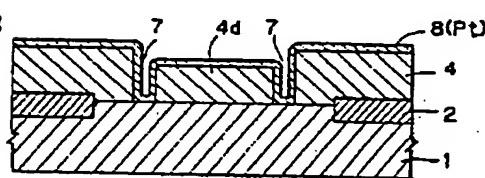
第1D図



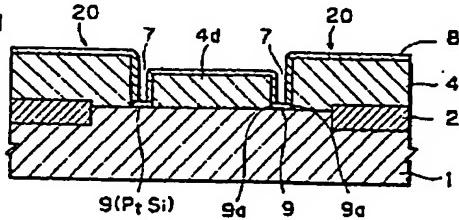
第1E図



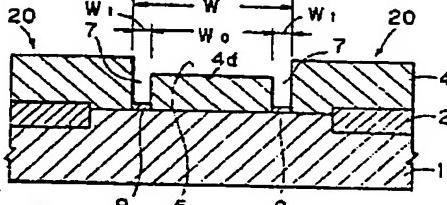
第1F図



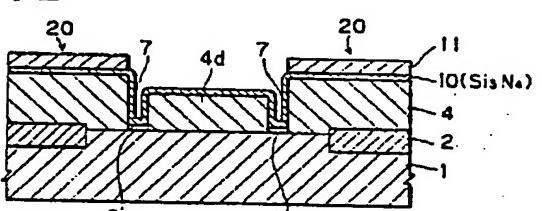
第1G図



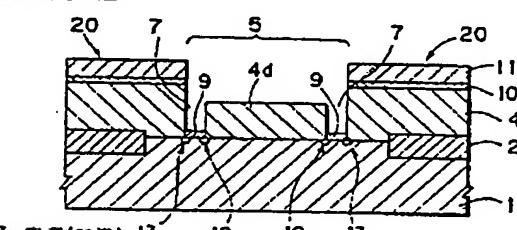
第1H図



第1I図

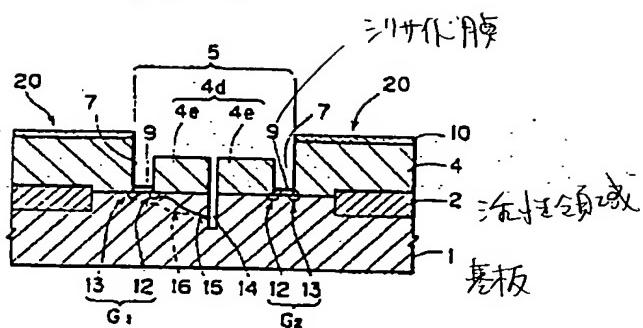


第1J図

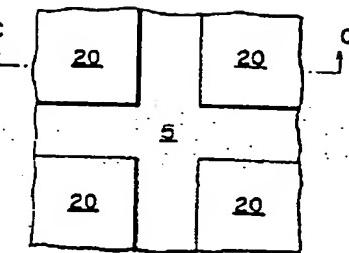


12,13: 空洞(凹溝) 13 12 12 13

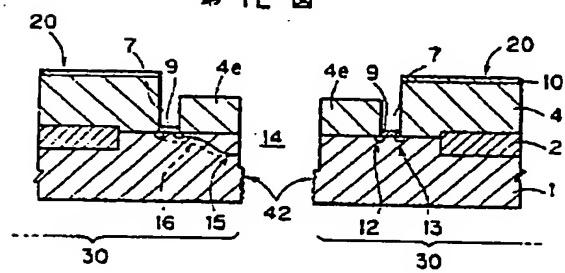
第 1K 図



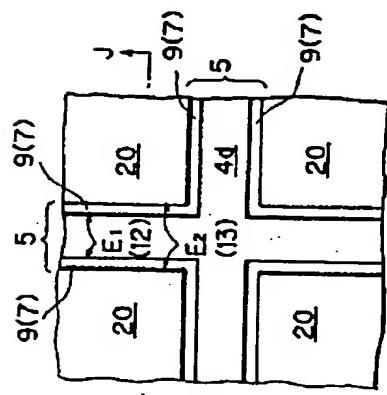
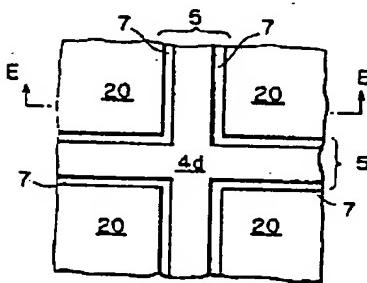
第 2A 図



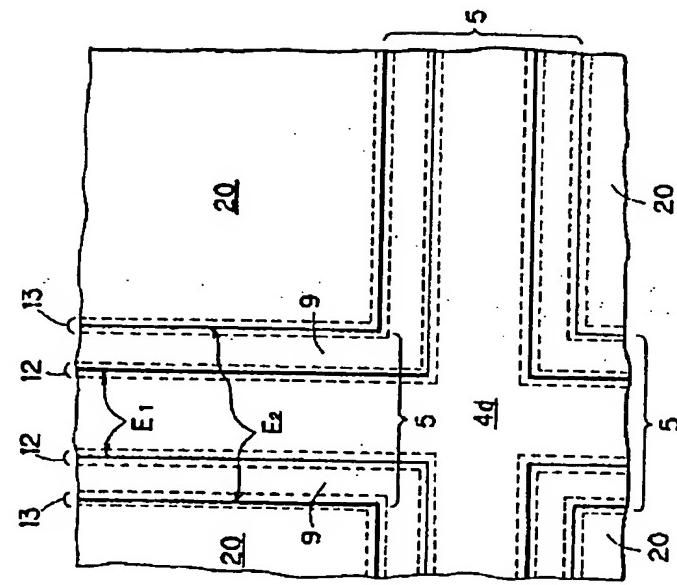
第 1L 図



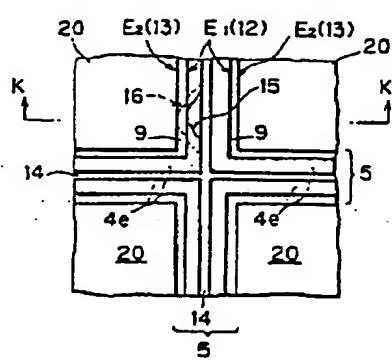
第 2B 図



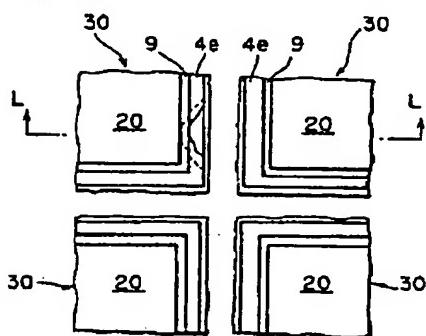
第 2D 図



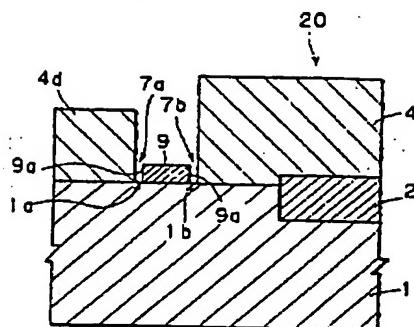
第 2E 図



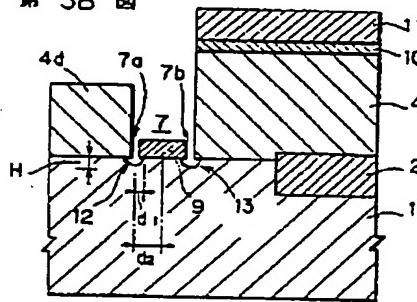
第 2F 図



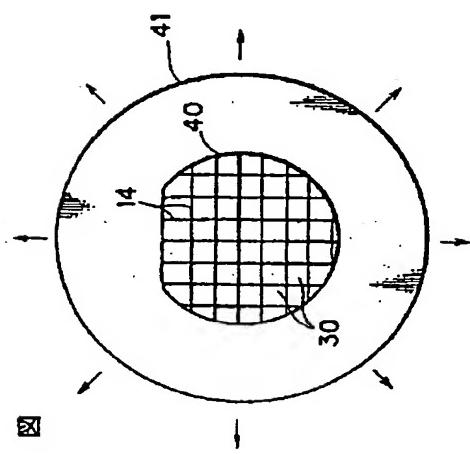
第 3A 図



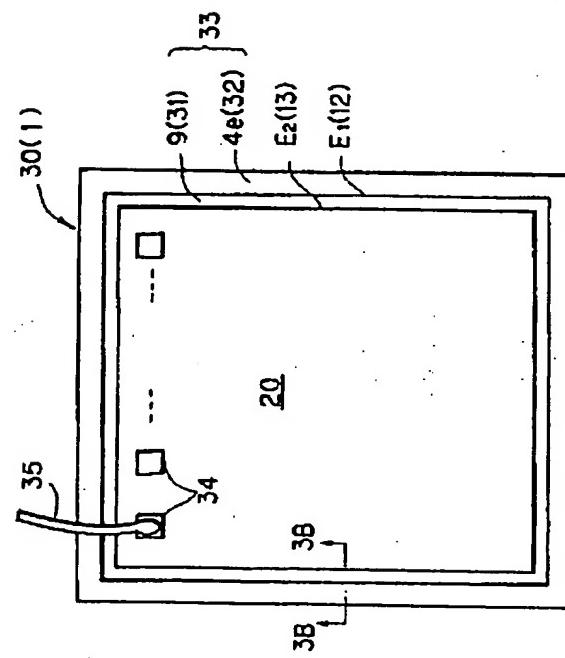
第 3B 図



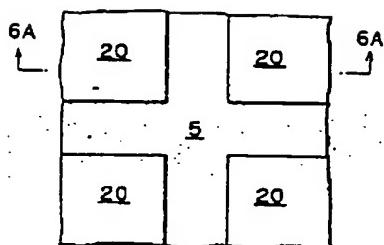
第 4 図



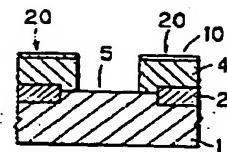
第 5 図



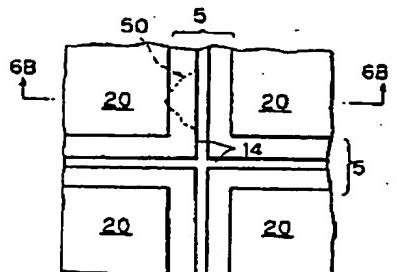
第7A図



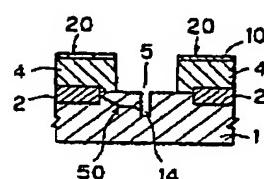
第6A図



第7B図



第6B図



手続補正書(自発)  
平成1年12月27日  
特許庁長官殿

1. 事件の表示 平特願昭1-164720号
2. 発明の名称 半導体チップおよびその製造方法
3. 補正をする者 事件との関係 特許出願人  
住所 東京都千代田区丸の内二丁目2番3号  
名称 (601)三菱電機株式会社  
代表者 志岐 守哉
4. 代理人 住所 東京都千代田区丸の内二丁目2番3号  
三菱電機株式会社内  
氏名 (7375)弁理士 大岩 増雄  
(連絡先03(213)3421特許部)

## 5. 補正の対象

明細書の「発明の詳細な説明の欄」

## 6. 補正の内容

- (1) 明細書第16頁第8行の「除去されるための」を、「除去されるための」に訂正。
- (2) 明細書第22頁第5行の「ブレークエキスバンド」を、「ブレークエキスバンド」に訂正。

以上

方式審査

